

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-186448  
(43)Date of publication of application : 20.07.1990

---

(1)Int.CI. G06F 11/28  
G06F 15/78  
H01L 27/04

---

(1)Application number : 01-004783 (71)Applicant : NIPPON CHEMICON CORP  
(22)Date of filing : 13.01.1989 (72)Inventor : KUNIOKA YASUHIRO

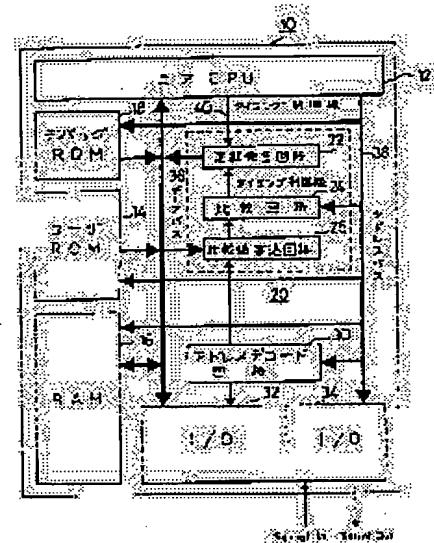
---

## (54) INTEGRATED CIRCUIT WITH DEBUGGING ENVIRONMENT

## (57)Abstract:

PURPOSE: To decrease the charge of an ICE development fee by programming the most of debugging support by a debugger host program in a host computer side, for a remote primitive debugger program.

CONSTITUTION: In a microcomputer ASIC side 10, a token sent from a host side is analyzed and the contents of a register save area are returned to respective registers. Then, processing jumps to a designated address and a user program is executed. When the processing comes up to a break address, a comparator circuit 24 is operated and software interruption is generated. Then, a control right is returned to a monitor side. A monitor program informs the generation of break of the host side and waits for it that the token is inputted from the host side again. By repeating such an operation sequence, the user program of the microcomputer ASIC 10 is emulated from the host computer and system debugging can be executed.



(19) 日本国特許庁 (JP) (11) 特許出願公開

## (12) 公開特許公報 (A) 平2-186448

(5) Int. Cl.<sup>5</sup>  
G 06 F 11/28  
15/78  
H 01 L 27/04(6) 識別記号  
510 L  
K  
7343-5B  
7343-5B  
7514-5F

(7) 庁内整理番号

(8) 公開 平成2年(1990)7月20日

審査請求 未請求 請求項の数 1 (全6頁)

(9) 発明の名称 デバッグ環境を備えた集積回路

(10) 特願 平1-4783

(11) 出願 平1(1989)1月13日

(12) 発明者 國岡 保弘 東京都青梅市東青梅1丁目167番地の1 日本ケミコン株式会社内

(13) 出願人 日本ケミコン株式会社 東京都青梅市東青梅1丁目167番地の1

(14) 代理人 弁理士 浜田 治雄

## 明細書

## 1. 発明の名称

デバッグ環境を備えた集積回路

## 2. 特許請求の範囲

(1) マイクロプロセッサをコアにしてROMやRAMおよび周辺LSIの各種機能を1チップに組み合わせて特定用途向けに作られるマイコンASICチップ内に、プログラムデバッグのためのソフトウェアの一部を記憶するデバッグROMと、プログラム実行中のためのブレーク回路部と、ホストコンピュータとの通信用I/Oポートとを備え、前記マイコンASICのデバッグ時にはホストコンピュータと前記通信用I/Oポートを介してホストコンピュータ上のデバッグ用ソフトウェアと前記デバッグROM内のデバッグ用ソフトウェアとが通信を行いながら、前記ROMやRAM内に記憶されたASIC内蔵プログラムに対するシステムデバッグを行えるよう構成したことを特徴とするデバッグ環境を備

## えた集積回路。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

この発明はデバッグ環境を備えた集積回路に係り、特にマイクロコンピュータ(以下、マイコンと称する。)の組込まれたASIC(アプリケーション・スペシフィック・インテグレーテッド・サーキットの略称。)などの集積回路に内蔵したプログラムに適し、ソフトウェアのデバッグを容易に行うことできるデバッグ環境を備えた集積回路に関する。

## 〔従来の技術〕

従来、マイコン組込み製品における組込みソフトウェアのデバッグは、マイコンの動作をシミュレートすることができるインサーキットエミュレーター(以下、ICEと称する。)と呼ばれる装置を用いて行われている。この種の装置は、一般に第3図に示すような構成をしている。第3図において、参照符号510は、マイコン組込み製品であるターゲットマ

シーンであり、このターゲットマシーン50上のマイコンLSI用ソケット52に、マイコンチップ58が内蔵されたプロープ56のケーブル54が接続される。プロープ56はケーブル60を介してICE本体62と接続される。

このように構成されるICEにおいて、ターゲットマシーン50と同種のマイコンチップ58が実装されたプロープ56は、ターゲットマシーン50とICE本体62とを接続するためのインターフェース部分に相当し、これによりICE本体62があたかもソケット52上にあるかのように動作し、ターゲットマシーン50のエミュレーション、部分命令の実行、解析などを行ってハードウェアおよびソフトウェアを含めたシステムデバッグをすることができる。

#### 〔発明が解決しようとする課題〕

しかしながら、前述したICEの構成では、ターゲットマシーン50とプロープ56との

間にケーブル54で接続される距離が必ず存在し、信号遅延、負荷容量、ノイズマージン等に影響を与えるため、ターゲットマシーン50の設計時にICEの接続を充分考慮した設計マージンを取る必要がある。しかるに、設置現場での実稼動条件が、開発現場におけるICEとの接続用に見積もった実稼動条件の設計マージン以上であるようなノイズの影響を受ける悪環境下であったりすると、実機デバッグ作業用にICEを使用できなくなったりする。マイコンの動作周波数が高周波化されるにつれて、このようなノイズの影響を受け易くなり、ICE使用による実機デバッグ環境を益々困難なものとしてきている。さらに、ターゲットマシーン50の規模が大きくなるにつれ、開発時におけるハードウェアの設計以上にそのソフトウェアの開発にも多くの労力を必要とし、ソフトウェアのデバッグツールであるICEの果たす役目が益々重要になり、ICEが不可欠となってきた。

特にターゲットマシーン50が特定ユーザー向マイコンASICである場合には、特定ユーザー専用のICEを開発する必要があるが、しかし、特定ユーザー専用のためのマイコンASIC用ICEを新たに開発するということは、ユーザーへの開発費用負担が非常に大きくなり、それはマイコンASIC開発とほぼ同等の負担規模となる。このため、マイコンASIC開発では個別に従来のような専用のICEを提供するということが困難になってきている。

そこで、本発明の目的は、ICEと同様のシステムデバッグ機能を持ち、しかも実稼動状態でのエミュレーションのために従来のようにシステム設計時にICEとの余分な接続マージンを見積もる必要がなく、容易に外部からホストコンピュータによりエミュレーションを行うことができ、コスト的にも特定ユーザー向のマイコンASICに適するデバッグ環境を備えた集積回路を提供するにある。

#### 〔課題を解決するための手段〕

本発明に係るデバッグ環境を備えた集積回路は、マイクロプロセッサをコアにしてROMやRAMおよび周辺LSIの各種機能を1チップに組み合わせて特定用途向けに作られるマイコンASICチップ内に、プログラムデバッグのためのソフトウェアの一部を記憶するデバッグROMと、プログラム実行中断のためのブレーク回路部と、ホストコンピュータとの通信用I/Oポートとを備え、前記マイコンASICのデバッグ時にはホストコンピュータと前記通信用I/Oポートを介してホストコンピュータ上のデバッグ用ソフトウェアと前記デバッグROM内のデバッグ用ソフトウェアとが通信を行いながら、前記ROMやRAM内に記憶されたASIC内蔵プログラムに対するシステムデバッグを行えるよう構成したことを特徴とする。

#### 〔作用〕

本発明に係るデバッグ環境を備えた集積回

路によれば、デバッグROM内に格納されたプログラムデバッグのためのソフトウェアの一部は、主にメモリ内容のリード・ライト、命令の実行およびレジスタの参照・変更など、コアになるマイクロプロセッサのハードウェア構成に依存する部分を処理する必要最少限のプログラムであり、かつ、ホストコンピュータ上のデバッグ用ソフトウェアにより処理したい機能に共通的に使用できる最も低レベルの処理内容のプログラムである。例えば、ホストコンピュータとの通信用I/Oポートからのアドレスデータを読み、そのアドレスの内容を通信用I/Oポートへ出力するというような処理プログラムであり、ホスト側は、この機能を組み合わせてメモリダンプ(メモリ内容の表示)コマンドを実現する。このように、ホストコンピュータから通信用I/Oポートを介してこのデバッグROMとの間で通信を行いながら、ユーザROM及びRAM内に格納されたマイコンASIC内蔵プログ

ラムのデバッグを外部から容易に実行することができる。

#### [実施例]

次に本発明に係るデバッグ環境を備えた集積回路の実施例につき、添付図面を参照しながら以下詳細に説明する。

第1図は、本発明の一実施例を示すデバッグ環境を備えた集積回路の内部ブロック構成図であり、第2図は、デバッグ用に附加されたブレーク回路部の実際的な回路構成の一例を示す図である。第1図において参照符号1.0は、対象となるマイコンASICチップであり、このチップ1.0はコアCPU12、特定用途向けプログラムを格納したユーザROM14、RAM16、およびリモートデバッガアリミティッププログラム(以下、モニタプログラムと称する。)を格納したデバッグROM18、デバッグ用に附加されたブレーク回路部20、アドレスコード回路30、マイコンASICの入出力用I/Oポート

32、デバッグのための通信用I/Oポート34と、さらにそれらの間を結ぶデータバス36、アドレスバス38およびタイミング制御線40等から構成される。さらに、デバッグ用に附加されたブレーク回路部20は、プログラム実行中断回路ブロックである定数発生回路ブロック22と、比較回路ブロック24およびプログラム実行中断準備のための回路ブロックである比較値書き回路ブロック26から構成される。

ここで、デバッグ用に附加されたブレーク回路部20を構成する各回路ブロックの動作について説明する。

比較回路ブロック24は、フリップフロップ列から構成され、フリップフロップに記憶させたある値と、コアCPU12から出ているアドレスバス38の値を常時比較する回路ブロックである。コアCPU12がアドレスバス38にアドレスを乗せるのは、

① メモリへのデータアクセス(リード、

ライト)

② 命令フェッチ(次の命令をメモリから読み込む)

の2つの場合であり、比較回路ブロック24はどちらの場合でもアドレス値が一致すれば、定数発生回路ブロック22に対しトリガ信号を出力する。

定数発生回路ブロック22は、フリップフロップ、ANDゲート、NORゲート、インバータ等から構成された定数発生回路とバス調停回路からなり、定数発生回路は予め決められた(固定された)定数(この定数は、コアCPU12にソフトウェア割り込みを起こさせる命令コードであり、使用する各CPU12によって異なる。)を発生する回路である。バス調停回路は、比較回路ブロック24から入力されたトリガ信号およびコアCPU12からの命令フェッチ信号を判断し、さらにコアCPU12のバスサイクルに一致させながらコアCPU12のデータバス36に定

数発生回路からのデータを乗せる役割を果たす。なお、命令フェッチ信号およびコアCPU12のバスサイクルはCPUに依存するため、バス調停回路も各CPUにより異なる。

比較値書き込み回路ブロック26は、EX-NORゲートおよびNANDゲート列から構成され、比較回路ブロック24のフリップフロップに、コアCPU12からの書き込み動作によりデータバス36の内容を書き込む回路である。コアCPU12の書き込み動作がマイコンASICに使用する各CPUにより異なるため、一概には言えないが、一般的には、

"I/O命令"または"メモリ書き込み命令"をコアCPU12に実行させることによって、

"I/Oアクセス信号"または"メモリアクセス信号"、さらに"書き込み信号"等が変化するので、これらの信号線を用いてデータバス36の内容を取り込むことができる。

このような回路ブロックから構成されるマ

イコンASICチップ10が搭載されるターゲットマシンをホストコンピュータと接続して、マイコンASIC10内のユーザプログラムをデバッグする際の処理シーケンスにつき、以下説明する。

#### (1) 起動時：

ホスト側は、マイコンASIC10を先ず初期化させるためマイコンASIC10に対して通信線を介して "R" の文字 (リセットトークン) を送る。マイコンASIC10側は起動時、マイコンASIC10内のデバッグROM18に格納されたモニタプログラムが制御権を持ち、通信線からのトークンが入力されるのを待っている。そこにホスト側からトークンが送られてくるので、マイコンASIC10側はこのトークンを解析して (この場合はリセットトークンだから)、モニタの初期化 (例えば、モニタプログラムの管理するレジスタセーブエリアの内容を初期化する) や回路の初期化 (例えば、比較回路

24をリセットする) を行い、再び通信線からのトークンが入力されるのを待つ。

#### (2) ブレークアドレスの設定：

ユーザがホストコンピュータのキーボードから、ブレークアドレスの設定のためのコマンドを入力すると、ホスト側デバッガプログラムがこのコマンドを解析して、マイコンASIC10に対して通信線を介して "B" の文字 (ブレークトークン) およびブレークアドレスデータを送る。

マイコンASIC10側は、このトークンを解析し (この場合はブレークトークンだから)、比較回路24にブレークアドレスデータの設定を行い、再び通信線からのトークンが入力されるのを待つ。

#### (3) ユーザプログラムの実行と

##### ブレークの発生：

ユーザがホストコンピュータのキーボードから、ユーザROM14およびRAM16内に格納されたユーザプログラム実行のための

コマンドを入力すると、ホスト側デバッガプログラムがこのコマンドを解析して、マイコンASIC10に対し通信線を介して "G" の文字 (ゴートークン) および実行開始アドレスデータを送り、その後マイコンASIC10側からブレーク発生トークンが送られるのを待つ。

マイコンASIC10は、ホスト側から送ってきたトークンを解析し (この場合はゴートークンだから)、レジスタセーブエリアの内容を各レジスタに戻し、指定アドレスにジャンプする。これにより、ユーザプログラムが実行される。

ユーザプログラムが実行され、ブレークアドレスまで来ると、比較回路24が働いてソフトウェア割り込みが発生し、制御権はモニタプログラムに戻る。モニタプログラムは、ブレークが発生したことをホスト側にトークンを送ることにより知らせ、再びホストから通信線を介してトークンが入力されるのを待

つ。

以下、上記した(2)、(3)の動作シーケンスを繰り返すことによって、ホストコンピュータからマイコンASIC10のユーザプログラムのエミュレーションを行って、システムデバッグを行うことができる。

このように動作するモニタプログラム格納のためのデバッグROMをマイコンASIC10のチップ内に設けても、モニタプログラムの規模はわずかであり、例えば、8ビットCPUのチップ面積を1とすれば、モニタプログラム追加用に必要な面積は、その面積の4%程度にしか過ぎない。

なお、モニタプログラムは、個々のターゲットマシーンのコアCPU12用に作る必要はあるが、小規模プログラムなのでその労力は従来の専用ICEの開発に比べて大したことではない。また、ホストコンピュータ側のデバッガホストプログラムは、高級言語で記述可能なプログラムであるので、一度プログ

ラムを作製すれば、専用のホストコンピュータだけを使用する必要はなく、容易に他のコンピュータへの移植ができる、ホストコンピュータの使用に融通性がある。

#### 〔発明の効果〕

前述した実施例から明らかなように、本発明によれば、マイコンASIC内のユーザプログラムを外部のホストコンピュータとの通信を行いながらデバッグできるようなプリミティブデバッガプログラムを、マイコンASICチップ上に設けたデバッグROM内に格納した構成とし、しかも、このリモートプリミティブデバッガプログラムは、デバッガサポートのほとんどをホストコンピュータ側のデバッガホストプログラムが行うようしているため、非常に小規模のもので良い。このため、マイコンASIC上のデバッグROMのサイズも小さなもので済む。しかも、従来のICEと同様のエミュレーション機能を持ち、容易に外部からパソコン等のホスト

コンピュータによって、実際のターゲットマシーンのマイコンASIC上で直接デバッグ作業が可能となるために、効率的なプログラム開発が期待できる。

従って、マイコンASIC用に高価な専用ICEを個々に開発しなくともシステムデバッグが実行でき、その経済的効果は著しいものがある。さらに、従来のようなマイコンASIC開発時におけるICEとの接続マージなどの見積もりが不要となる効果も得られる。

以上、本発明の好適な実施例について説明したが、本発明は前記実施例に限定されることはなく、本発明の精神を逸脱しない範囲内において種々の設計変更をなし得ることは勿論である。

#### 4. 図面の簡単な説明

第1図は本発明に係るデバッグ環境を備えた集積回路の一実施例を示す集積回路の要部ブロック構成図であり、第2図は本発明に係

るデバッグ用に付加されたブレーク回路部の実際的な回路構成の一例を示す図、第3図は従来のインサーキットエミュレータの構成例を示す図である。

- 10…マイコンASICチップ
- 12…コアCPU
- 14…ユーザROM
- 16…RAM
- 18…デバッグROM
- 20…デバッグ用に付加されたブレーク回路部
- 22…定数発生回路ブロック
- 24…比較回路ブロック
- 26…比較値書き込み回路ブロック
- 30…アドレスコード回路
- 32…入出力用I/Oポート
- 34…通信用I/Oポート
- 36…データバス
- 38…アドレスバス
- 40…タイミング制御線

Best Available Copy

- 50…ターゲットマシーン  
 52…ソケット  
 54, 60…ケーブル  
 56…プロープ  
 58…マイコンチップ  
 62…ICE本体

特許出願人  
 出願人代理人

日本ケミコン株式会社  
 弁理士 浜田 治雄

FIG. 1

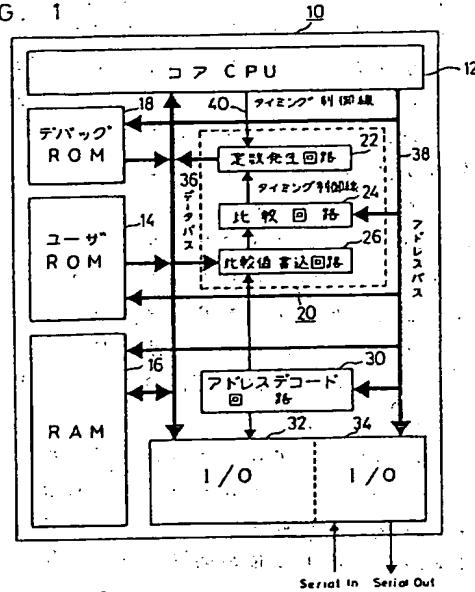


FIG. 3

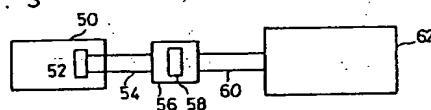


FIG. 2

